

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-147426

(43)Date of publication of application : 06.06.1995

(51)Int.Cl.

H01L 31/108

G11C 11/42

H01L 27/15

H01L 29/43

(21)Application number : 05-292318

(71)Applicant : NEC CORP

(22)Date of filing : 24.11.1993

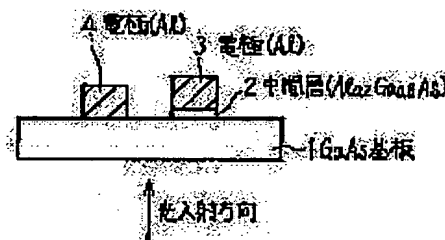
(72)Inventor : FUJIEDA SHINJI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a semiconductor device which has an element that has both light receiving function and storing function by providing an electrode by successively laminating a middle layer formed of a specific compound semiconductor thin film and a metal film on a semiconductor substrate.

CONSTITUTION: An electrode 3 which has a metal/semiconductor structure is formed on a semiconductor substrate 1 as a light receiving and storing element on a semiconductor substrate 1. Then, a compound semiconductor thin film whose stoichiometry ratio is not one, not containing excess element deposition, is inserted between the metal/semiconductor structured electrode 3 and the semiconductor substrate 1 as a middle layer 2. The material of the compound semiconductor to be the middle layer 2 can be the same or different from that of the semiconductor of the substrate 1, and it can be either single crystal or non-single crystal. Thus, a semiconductor device provided with metal/ semiconductor junction that has both light receiving function and storing function is provided.



LEGAL STATUS

[Date of request for examination] 29.03.1994

[Date of sending the examiner's decision of rejection] 08.04.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

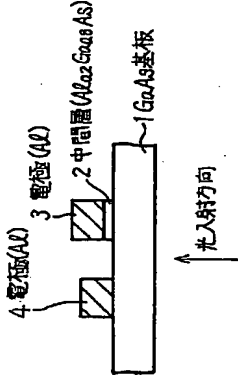
[Date of extinction of right]

(51) Int. Cl.	識別記号	庁内整理番号	F I	技術表示箇所
H01L 31/08	D			
G11C 11/42	Z	8832-4M		
H01L 27/15				
			H01L 31/10	C
			29/46	H
			7376-4M	

(21) 出願番号	特開平6-282318	(71) 出願人	00004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成5年(1993)11月24日	(72) 発明者	藤枝 俊次 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74) 代理人	伊理士 京本 直樹 (外2名)

(54) 発明の名称 半導体装置

(57) 要約
 【目的】受光および記憶機能を同時に持つ素子を有する半導体装置を実現する。
 【構成】GaAs基板1上にAs過剰A1_{0.2}Ga_{0.8}As薄膜の中間層2を設け、その上にA1電極3を設ける。更にGaAs基板1上にA1電極4を設ける。



【作用】発光デバイス、特に発光ダイオードの材料が化合物半導体に限られることから、OEICの材料には化合物半導体が主に用いられる。本第1の発明で用いる金属/半導体構造の半導体装置は、化合物半導体でも容易に作製でき集積化に適当な構造である。本発明の化合物半導体の中間層には、化学組成比すれによる欠陥が多量に含まれる。例えば、Ga過剰なGaAs中にはアンチサイトガリウムや砒素空孔が多量存在する。また、逆に砒素過剰なGaAs中にはアンチサイト砒素やガリウム空孔が多量存在する。これらの欠陥は、それぞれに特有の電子的状態を持つ。これらの欠陥状態は既述したく、捕捉したキャリアを容易に放出しないので、記憶機能を担わせることができる。析出物は再結合速度を高くし記憶機能を劣化させるので、中間層は析出物を含まないものとする。第2の発明では、金属と上記中間層とを絶縁性薄膜で分離する。これは、中間層に捕捉されたキャリアが金属へトンネリングし記憶保持機能が劣化してしまうのを有効に防ぐためである。

【0007】本発明の装置の構造で受光・記憶動作を得るには、図1、図2に示すように、中間層2とA13あるいは中間層2とSIN、膜5とA13を第1の電極とし、第2の金属(A1)電極4を設けてMSMダイオード構造を作製する。電極4の材料は電極3の材料と選んでも良い。第1の電極が埋みアスとなるよう第1、第2の電極間に電圧を印加しつつ、半導体(GaAs)基板1のバンドギャップよりエネルギーの大きなパルス光(書き込み光)を照射して半導体基板1中にキャリアを発生させ光電流を誘起する。この時、キャリアの一部が中間層2内の電位に捕捉される。光照射・電圧印加をやめても、電位の深さに応じた時間内では捕捉状態が十分保持される。信号の読み出しには光を照射して欠陥準位からキャリアを放出させれば良い。この時電極間に電圧が生ずる。この放出電荷量は書き込みの有無に対応する。すなわち光入力の有無が受光素子において記憶されたのち読み出される。さらに、金属/半導体(電極3と中間層2)接合、あるいは中間層2とSIN、膜5と電極3との接合を有する電極を複数と、電極4を1つ設けることにより、これら個々の接合電極に入力した蓄積電荷の和を電極4での電流値から読みとることができる。すなわち、ある時間内に個々の記憶装置に与えられた入出力信号の和演算が可能になる。

【0008】
 【実施例】次に本発明を図面を用いて説明する。図1は本発明の第1の実施例の断面図である。
 【0009】図1において、(100) GaAs基板1の上にAs過剰A1_{0.2}Ga_{0.8}As薄膜の中間層2、その上にA1からなる電極3を形成する。As過剰A1_{0.2}Ga_{0.8}As中間層2は、As/(Ga+Al)比を10、基板温度を200℃、成長速度を0.8μm/秒とするMBE(分子線エピタキシー)法で成長させ、厚さ

フロントページの続き

特許表示箇所

FI

識別記号

(5)Int.Cl.⁶

H01L 29/43

特許表示箇所

FI

識別記号

(5)Int.Cl.⁶

H01L 29/43

特開平7-147426

(3)

4

が得られる。

[0013] 図2は本発明の第2の実施例の断面図である。図2において、GaAs基板1上に第1の実施例と同様のAs過剰Al_{0.2}Ga_{0.8}Asの中間層2を形成後、SiN_x膜5を厚さ0.5〜3nmスパスパッタ蒸着させ絶縁性薄膜を形成したのち、Alを蒸着する。これを整形して、中間層2AとAl電極3Aが分離された第1の電極を製作したのち、SiN_x膜5を含まない第2のAl電極4Aを形成する。

[0014] このように第2の実施例では、絶縁性薄膜としてSiN_x膜5の挿入により、電極3Aを順バリアスし電流を光照射により解脱する書き込み過程で、中間層2Aから電極3Aへのキャリア注入が阻まれるため、中間層2A内の単位にキャリアが捕捉される割合が増加する。また、書き込み後読み込みまでに生じるキャリア再放出過程のうち、電極3Aへのトンネル過程が阻まれる。したがって、本第2の実施例では第1の実施例にくらべ記憶保持性が改善される。

[0015]

[発明の効果] 以上説明したように本発明によれば、受光と記憶の機能を同時に持つ金属/半導体接合を有する半導体装置が得られ、OEICの高集積化が可能になるという効果がある。

[図面の簡単な説明]

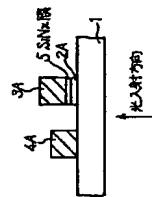
[図1] 本発明の第1の実施例の断面図。

[図2] 本発明の第2の実施例の断面図。

[符号の説明]

- 1 GaAs基板
- 2, 2A 中間層
- 3, 3A 電極
- 4, 4A 電極
- 5 SiN_x膜

[図2]



3

を0.5〜10nmとする。成長後、表面結晶性向上のためAs₄を照射しながら450℃で5分間熱処理する。これにより、濃度約10¹⁹cm⁻³の、伝導帯下0.7〜0.9eVのAsアンチサイト欠陥単位を持つ中間層2が形成される。この上に窒素でAl膜をMBE成長させたのち、このAl膜を通常のリソグラフィにより整型し電極3、4とすればMSMダイオードが得られる。

[0010] 尚、基板や中間層及び電極を他の材料から構成しても同じ記憶機能を有するダイオードを形成することができ、図1を用いて適用例を説明する。

[0011] 第1の適用例としては図1において、(1)00) GaAs基板1上にGa過剰GaAs薄膜の中間層をAryオン照射法で形成後、その上にTiNからなる電極を覆層する。窒素でGaAs基板の表面にAryオンを加速電圧50〜100Vで1×10¹⁶cm⁻²照射し、基板を450℃で5分間熱処理する。これにより、濃度10¹⁹〜10²⁰cm⁻³の価電子帯下0.4〜0.6eVのGaアンチサイト欠陥単位を持つ、厚さ1〜3nmの中間層が形成される。この上に窒素でTiNをスパッタ蒸着させる。TiNをリソグラフィにより整型し電極とすればMSMダイオードが得られる。

[0012] 第2の適用例としては図1において、(1)00) InP基板上にGa過剰GaAs薄膜の中間層、その上にAlからなる電極を覆層する。Ga過剰GaAs中間層は、As₄/Gaビーム比を0.5、基板温度を200℃、成長速度を0.8μm/時とするMBE(分子線エビタキシー)法で成長させ、厚さを0.5〜5nmとする。成長後、表面結晶性向上のためAs₄を照射させずに450℃で5分間熱処理する。これにより、濃度約10¹⁹cm⁻³の、価電子帯下0.4〜0.6eVのGaアンチサイト欠陥単位を持つGaAs中間層が形成される。この上に窒素でAlをMBE成長させリソグラフィにより整型し電極とすればMSMダイオード

[図1]

